

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-297238

⑤ Int. Cl.⁵

H 04 L 7/00
H 03 K 5/00
H 04 L 25/40

識別記号

G 8949-5K
Z 7125-5J
C 8226-5K

庁内整理番号

④ 公開 平成3年(1991)12月27日

審査請求 未請求 請求項の数 2 (全6頁)

⑬ 発明の名称 クロック伝送方法

② 特 願 平2-97637

② 出 願 平2(1990)4月16日

⑦ 発 明 者 安 藤 善 夫 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

⑧ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号

④ 代 理 人 弁理士 大塚 康徳 外1名

明 細 書

1. 発明の名称

クロック伝送方法

2. 特許請求の範囲

(1) クロック伝送方法において、

伝送時に、送信側では、クロック信号の伝送周波数を $1/2^n$ に分周し、さらに該分周されたクロック信号を受信側に伝送し、前記受信側では、前記送信側から伝送されたクロック信号に基づいて前記原クロック信号の再生を行なうことを特徴とするクロック伝送方法。

(2) データ信号同期式のクロック伝送方法において、

伝送時に、送信側では、データ信号の同期をとる原クロック信号の伝送周波数を $1/2^n$ に分周し、さらに該分周されたクロック信号と前記デー

タ信号とを受信側に伝送し、前記受信側では、前記送信側から伝送されたクロック信号に基づいて前記原クロック信号の再生を行ない、該再生された原クロック信号に基づいて前記受信されたデータ信号の同期をとることを特徴とするクロック伝送方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は例えばデータ信号の同期方式等におけるクロック信号の伝送を行なうクロック伝送方法に関するものである。

〔従来の技術〕

従来、データ信号を同期方式で伝送する場合に、クロック信号に同期して変化するデータ信号とクロック信号とをそのまま伝送する方法が使用されている。即ち、これは、クロック信号が10 MHz ならば、データ信号は10 MHz のクロック信号に同期して変化する、そのデータ信号と10 MHz のクロック信号とがそのまま伝送される方法である。

〔発明が解決しようとしている課題〕

しかしながら、従来の方法では、近年のように

磁波を遮蔽する鉄製の外装を使用していた頃よりも一層その不要放射が多くなっている。

さらに、近年のコンピュータをはじめ各種のデジタル回路で動く電子機器は、単独で動くことは少なくなり、他のデジタル機器とケーブル等で接続され、複合装置あるいはシステム装置として動作する場合が多くなっている。そのため、電子機器を接続するケーブルが不要放射される電磁波のアンテナになったり、ケーブルを接続するコネクタ部から電磁波が洩れたり、又、個々の機器からの不要放射が重なるため、全体としての不要放射量が規制値を超えないようにすることは非常に困難であった。デジタル回路における各種の信号はパルスであるため基本周波数の他に多くの高調波を含んでおり、その高調波は一層、高周波となるため、不要放射を少なくするのに更なる困難

デジタル回路におけるクロック信号の周波数が高くなってきたり、又、装置間のデータ伝送速度が速くなってくると、クロック信号やデータ信号の伝送に伴なって不要な電磁波の放射が増加するようになった。

このような不要な電磁波の放射は、他の電子機器の誤動作の原因となったり、種々の悪影響を他に与えるため、あるレベル以下にしなければならぬ。公的にも、このような社会情勢の下に、この不要放射に対する規制が定められている。これは、例えばU. S. A. におけるF C C の規制、国内ではV C C I の規制等である。

ところが、近年製造される各種の電子機器では、外形デザインが重視され、外装にはプラスチックの成型品が使われることが多い。従って、プラスチックは電磁波を素通りさせるため、電

を伴った。

本発明は上述した従来例の欠点に鑑みてなされたものであり、その目的とするところは、不要な電磁波の放射を少なくできるクロック伝送方法を提供することにある。

〔課題を解決するための手段〕

上述した課題を解決し、目的を達成するため、本発明に係わるクロック伝送方法は、クロック伝送方法において、伝送時に、送信側では、クロック信号の伝送周波数を $1/2^n$ に分周し、さらに該分周されたクロック信号を受信側に伝送し、前記受信側では、前記送信側から伝送されたクロック信号に基づいて前記原クロック信号の再生を行なうことを特徴とする。

〔作用〕

かかる構成によれば、送信側から受信側に伝送

されるクロック信号を $1/2^n$ に分周、即ち、周波数を下げることにより、不要な電磁波の放射を減少できる。

[実施例]

以下に添付図面を参照して、本発明の好適な実施例を詳細に説明する。

<第1実施例>

第2図は第1実施例のデータ伝送システムの構成を示す図、第1図は第1実施例のデータ伝送システムの要部の構成を示す回路図、そして、第3図は第1実施例のデータ伝送時の各信号のタイミングチャートである。

第2図において、100、101で示さる電子機器は、データ信号やクロック信号等を伝送するケーブル102で電氣的に接続されている。送信側を電子機器100とし、受信側を電子機器10

で構成できる。2は遅延回路1から出力されたクロック信号及び受信されたクロック信号のエクスクルツプオアをとり、クロック信号の再生信号を得るXOR回路を示している。

尚、上記説明では、一方の電子機器100が原クロック信号の分周を行ない、他方の電子機器101が再生を行なう構成を示したが、送信と受信が逆になる場合にも対応できるように、図示せぬが、電子機器100にも再生を行なう構成が具備され、電子機器101にも原クロック信号の分周を行なう構成が具備されている場合もある。

ここで、第3図を用いて第1実施例の動作について説明する。

第3図において、(A)は送信側の電子機器100におけるクロック信号の波形を示し、(B)は送信側で $1/2$ に周波数を落としたクロック信

1とした場合の要部を示す第1図において、4は原クロック信号の周波数を $1/2$ に分周するD型ラッチ回路を示し、これは送信側（ここでは、電子機器100）が伝送時に利用され、例えばSN7474AN（テキサスインスツルメンツ社製）の回路である。また、10はクロック再生回路を示し、これは受信側（ここでは、電子機器101）が伝送時に受信されたクロック信号を元の原クロック信号に再生する回路である。3はD型ラッチ回路を示し、これはクロック再生回路10で再生された原クロック信号に同期させて送信側から伝送されたデータ信号をラッチし、内部に出力する回路である。上記クロック再生回路10において、1は受信されたクロック信号を $1/4$ 周期遅延させる遅延回路を示し、これは公知の遅延素子を用いたり或は複数個のインバータ回路をシリーズ接続し

号を示している。(C)はBのクロック信号をほぼ $1/4$ 周期遅延させたクロック信号の波形を示し、これは遅延回路1によつて遅延させられた第1図に示される八点のクロック信号の波形を示している。(D)は受信側で再生されたクロック信号の波形を示し、(E)はデータ信号を示している。データ信号(E)は論理“1”又は“0”の値をその時々により取るが、その値の変化はクロック信号(A)の立下りに同期して行なわれる。

そこで、まず、原クロック信号を $1/2$ に分周する方法は公知であるが、D型ラッチ回路4に原クロック信号のクロック信号(A)が入力されると、第1図に示される(t)点より、 $1/2$ に分周されたクロック信号(B)が得られる。このクロック信号(B)は受信側の電子機器101に到達するパルスであつて、第1図に示されるロ点の

クロック信号の波形である。

受信側において、ケーブル102を介してロ点より入力されたクロック信号(B)は、クロック再生回路10において、同波形を2方向に分離され、一方では、遅延回路1によつてほぼ1/4周期の遅延を与えられ、第1図に示される八点に出力される。この八点に出力される波形は、クロック信号(C)である。更にクロック再生回路10では、遅延回路1からのクロック信号(C)とロ点(第1図)でもう一方に進むクロック信号(B)と、XOR回路2でイクスクルツシブオアがとられ、クロック信号(A)、即ち、原クロック信号と同一の周波数及び位相に再生されたクロック信号(D)が出力される。遅延回路1による遅延が1/4周期でない場合には、クロック信号(D)のデューティは50%ではなくなり、原ク

周波数のクロックを再現して得るという方法により、クロック信号の伝送路からの不要な電磁波の放射を減少し、他の機器に及ぼす悪影響を防止できる。また、U. S. A. のFCCの規制や国内のVCCIの規制等をもクリアできる機器を容易に作製することができる。

さて、上述した実施例では、伝送時の原クロック信号の周波数を1/2としたが、本発明はこれに限定されるものではなく、変形例として、原クロック信号の周波数が高いために1/2に落としても不十分な場合には、送信側において、第1図に示されるD型ラッチ回路4に原クロック信号を2度通して全体で1/4に分周し、一方の受信側においては、1/4に分周された受信クロック信号をクロック再生回路10を2度通すことにより原クロックを再現するように構成すれ

バロック信号(A)と異なるが、ラッチ回路3にデータ信号(E)を取り込むタイミング、即ち、クロック信号(D)の立上りエッジは、クロック信号(B)の立上り、立ち下がりによつて決まるので、原クロック信号(A)と変わらず、従つて実用上の問題はない。

そして、この再生されたクロック信号(D)は、クロック信号(A)の立下りに同期して変化するデータ信号(E)を自身の立ち上がりでD型ラッチ回路3に取り込ませる。このようにしてD型ラッチ回路3に取り込まれたデータ信号Eは、出力Q(第1図に示されるホ点)より出力され、所期の同期式データ伝送が完了する。

以上説明したように、第1実施例によれば、高い周波数のクロック信号を簡単な回路を用い、その1/2に周波数を落として伝送し、受信側で原

ば良い。尚、さらに1/8、1/16…等に周波数を落とすことも可能だが回路の複雑さ、クロックの周波数、不要放射量等の条件から本発明の趣旨を逸脱しない範囲で決定すれば良い。

<第2実施例>

又、上述した第1実施例のように、同期式データ伝送の場合だけでなく、高周波のクロック信号のみを送るように距離の長い伝送の場合においても、周波数を落とすことによつて基板内或は装置内での伝送用パターンや電線からの不要放射を減少させるができる。

第4図は第2実施例のクロック伝送回路を概略的に示す回路図である。第4図において、5は前述のD型ラッチ回路4と同様に原クロック信号の周波数を1/2に分周するD型ラッチ回路を示し、8はD型ラッチ回路5から出力されたクロッ

ク信号を伝送する伝送路を示し、20は伝送路8を介して伝送されるクロック信号を元の原クロック信号の周波数に再生するクロック再生回路を示している。このクロック再生回路20は、前述のクロック再生回路10と同様の構成を有している。即ち、6は遅延回路1と同様の構成であつて伝送路8を介して入力したクロック信号をほぼ1/4周期遅延させる遅延回路を示し、7は前述のXOR回路2と同様の構成であつて伝送路8を介して入力したクロック信号と遅延回路6から出力されたクロック信号とのエクスクルツシブオアをとつて原クロック信号を再生するXOR回路を示している。

以上の構成において、動作は、第3図で説明した第1実施例と同様のため、説明を省略する。第4図のように、クロック信号の送信部分であるチ

点とクロック信号の受信部分であるリ点とが離れている場合に効果がある。

このように、電子機器内部において、高周波のクロック信号のみを送るように距離の長い伝送の場合にも十分に適応させることができる。

また、周波数を更に落とす場合には、第1実施例の変形例と同様に、D型ラッチ回路5及びクロック再生回路20をそれぞれ2回或は2回以上通す構成とすれば良い。

【発明の効果】

以上説明したように、本発明によれば、クロック信号の伝送路からの不要な電磁波の放射を減少し、他の機器に及ぼす悪影響を防止できる。

4. 図面の簡単な説明

第1図は第1実施例のデータ伝送システムの要部の構成を示す回路図、

第2図は第1実施例のデータ伝送システムの構成を示す図、

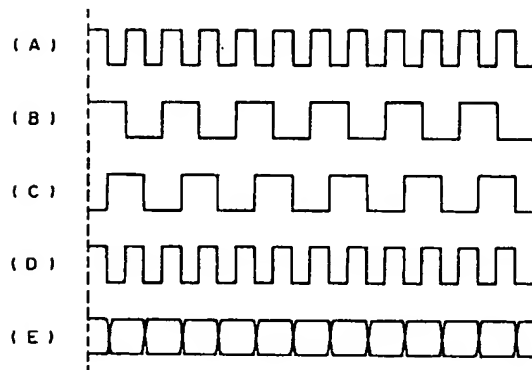
第3図は第1実施例のデータ伝送時の各信号のタイミングチャート、

第4図は第2実施例のクロック伝送回路を概略的に示す回路図である。

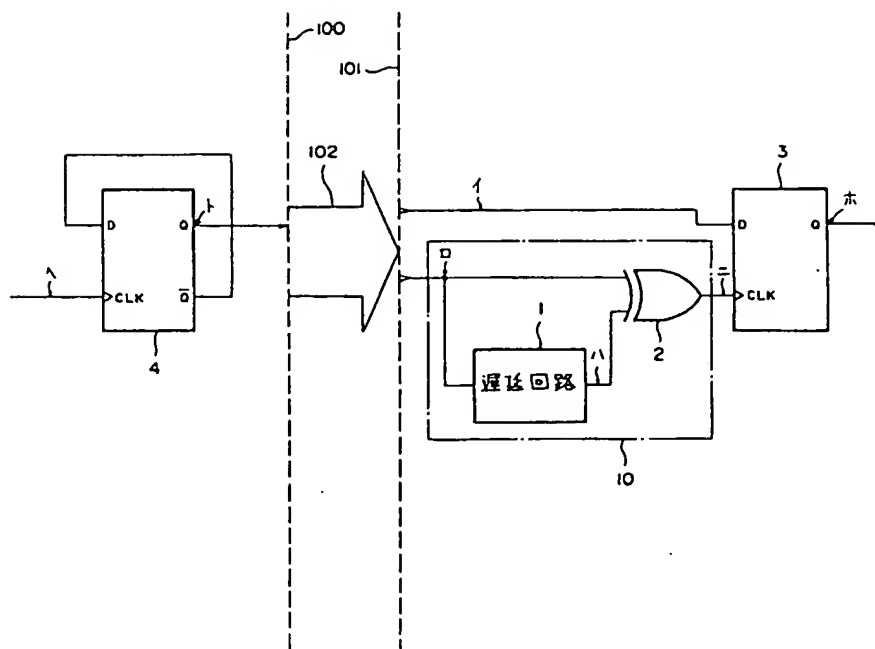
図中、1、6…遅延回路、2、7…XOR、3、4、5…D型ラッチ回路、8…伝送路、10、20…クロック再生回路、100、101…電子機器、102…ケーブルである。

特 許 出 願 人 キヤノン株式会社

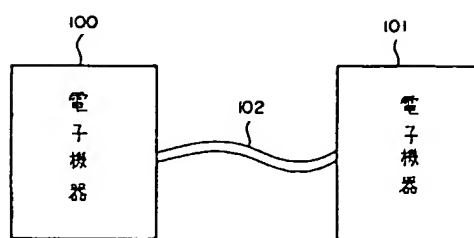
代理人 井理士 大塚 康徳 (他 1 名)



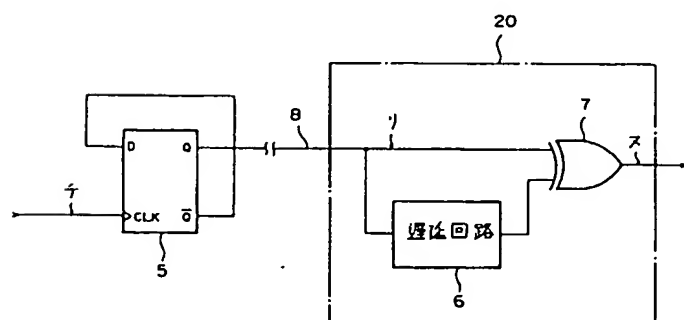
第3図



第 1 図



第 2 図



第 4 図